

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-257987

(43)Date of publication of application : 12.09.2003

(51)Int.Cl.

H01L 21/331  
H01L 21/28  
H01L 21/8222  
H01L 21/8249  
H01L 27/06  
H01L 29/737

(21)Application number : 2002-053490

(71)Applicant : SONY CORP

(22)Date of filing : 28.02.2002

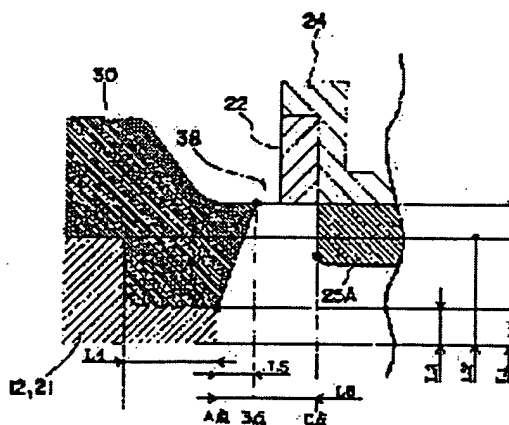
(72)Inventor : YAMAGATA HIDEO  
MATSUMOTO KAZUHARU  
MAKITA KAZUAKI  
TANAKA NOBUFUMI  
NEGORO YOICHI

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high speed and highly integrated semiconductor device and its manufacturing method for reducing a distance in which a SiGa system (SiGe, SiGeC) mixed crystal layer of a polycrystal from the open edge of a base in the SiGe system HBT (hetero-junction bi-polar transistor) is projected to an epitaxial SiGe system mixed crystal layer.

SOLUTION: An opening 38 is formed in the base area of the HBT, a semiconductor layer 30 in a base area is formed by epitaxial growth, and a polycrystal layer is formed on a gate insulating film 12 and an oxide silicon film 21 at the opening 34 in the base area so that a semiconductor device having a non-selective epitaxial base layer can be manufactured. In this case, the gate insulating film 12 and the oxide silicon film 21 at the side edge of the opening 38 in the base area of the HBT are shaped like steps whose number of levels are at least two.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application for withdrawal or registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-257987

(P2003-257987A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)	
H 0 1 L 21/331		H 0 1 L 21/28	3 0 1 A	4 M 1 0 4
21/28	3 0 1	29/72	H	5 F 0 0 3
21/8222		27/06	3 2 1 B	5 F 0 4 8
21/8249			1 0 1 U	5 F 0 8 2
27/06				
審査請求 未請求 請求項の数6 O L (全 9 頁) 最終頁に続く				

(21) 出願番号 特願2002-53490(P2002-53490)

(22) 出願日 平成14年2月28日(2002.2.28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山縣 秀夫

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 松本 一治

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100099508

弁理士 加藤 久

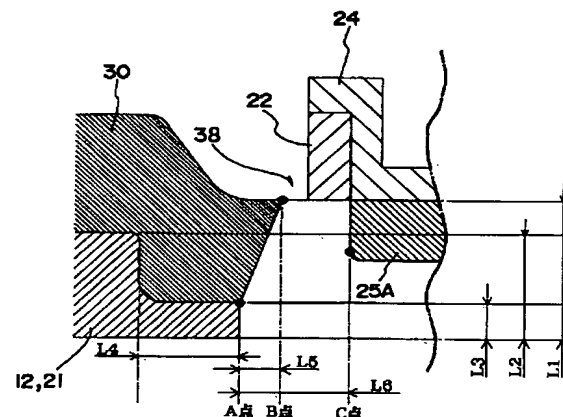
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 SiGe系(SiGe, SiGeC) HBTのベース領域におけるベースの開口端からの多結晶のSiGe系混晶層がエピタキシャルSiGe系混晶層へせり出す距離を低減し、高速且つ高集積な半導体装置およびその製造方法を提供する。

【解決手段】 HBT(ヘテロ結合バイポーラトランジスタ)のベース領域に開口38を形成し、エピタキシャル成長によりベース領域となる半導体層30を形成する際に、ベース領域の開口38のゲート絶縁膜12、酸化シリコン膜21上に多結晶層が形成される非選択エピタキシャルベース層を有する半導体装置を製造する場合において、HBTのベース領域の開口38側端部のゲート絶縁膜12、酸化シリコン膜21の形状を、少なくとも段数が2段の階段状とした。



## 【特許請求の範囲】

【請求項1】 ヘテロ接合バイポーラトランジスタのベース領域に開口部を形成し、エピタキシャル成長によりベース領域となる半導体層を形成する際に前記ベース領域の開口部の絶縁膜上に多結晶層が形成される非選択エピタキシャルベース層を有する半導体装置において、前記ヘテロ接合バイポーラトランジスタのベース領域の開口部側端部の絶縁膜の形状を、少なくとも段数が2段の階段状としたことを特徴とする半導体装置。

【請求項2】 前記非選択エピタキシャルベース層が、前記ベース領域の不純物がドーピングされたシリコン、または、シリコン-ゲルマニウム混晶層、若しくは、シリコン-ゲルマニウムとカーボンからなる混晶層のいずれかからなることを特徴とする請求項1記載の半導体装置。

【請求項3】 ヘテロ接合バイポーラトランジスタのベース領域に開口部を形成し、エピタキシャル成長によりベース領域となる半導体層を形成する際に前記ベース領域の開口部の絶縁膜上に多結晶層が形成される非選択エピタキシャルベース層を有する半導体装置の製造方法において、前記ヘテロ接合バイポーラトランジスタのベース領域の開口部側端部の絶縁膜の形状を、少なくとも段数が2段の階段状とすることを特徴とする半導体装置の製造方法。

【請求項4】 前記非選択エピタキシャルベース層が、前記ベース領域の不純物がドーピングされたシリコンまたは、シリコン-ゲルマニウム混晶層、若しくは、シリコン-ゲルマニウムとカーボンからなる混晶層のいずれかからなることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記ヘテロ接合バイポーラトランジスタのベース領域の階段状の開口部側端部を、異方性エッチングと等方性エッチングの組み合わせにより形成する請求項3記載の半導体装置の製造方法。

【請求項6】 異方性エッチングはドライエッチングであり、等方性エッチングはウェットエッチングである請求項5記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ヘテロ接合バイポーラトランジスタ(Heterojunction Bipolar Transistor:以下HBTという)のベース領域をエピタキシャル技術にて形成する半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】例えば、通信装置の周波数変換器等においては、共通の半導体基体上に絶縁ゲート型電界効果トランジスタ(FET)とHBTとが形成された混載型の半導体装置が用いられる。このような通信用の混載型半

導体装置の場合、FETと同様にHBTにも動作性能の高速化が要求される。このHBTの高速化のためには、ベースの浅接合化によるキャリアのベース走行時間の短縮とベースの低抵抗化が重要な課題となってくる。

【0003】しかし、従来のイオン注入技術を用いたベース層の形成方法では、注入不純物のチャネリングテイルの問題から、浅接合のベース幅を実現することは困難であった。

【0004】この問題を解決するものとして、シリコン(Si)基板上に例えばシリコン-ゲルマニウム( $\text{Si}_{1-x}\text{Ge}_x$ 、以下SiGeと記す)やシリコン-ゲルマニウム-カーボン( $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 、以下SiGeCと記す)の混晶層をエピタキシャル成長させる技術を応用したSiGeHBTやSiGeCHBT(以下、これらを総称してSiGe系HBTという)が注目されている。

【0005】ベースを浅接合すると、ベース不純物の濃度が増大し、エミッタへの正孔の注入が問題となってくるが、SiGe系HBTは、ベース領域にSiに比べてバンドギャップの狭いSiGeやSiGeC(以下、単に「SiGe」というときは、SiGeCをも含むものとする)を用いることで、エミッターベース間に電位障壁が生じるので正孔のエミッタへの注入は大幅に減少することになる。したがって、ベースを高キャリア濃度にするこによりベース抵抗の低減ができ、更に十分大きな電流増幅率( $h_{fe}$ )が得られる。この結果、十分な耐圧を確保しながら高い周波数特性を実現することができる。また、ゲルマニウム(Ge)のプロファイルに傾斜をつけること、すなわち図9の破線で示すようにGe濃度を、コレクタ側を高く、エミッタ側を低くすることにより、コレクタ側のバンドギャップが狭くなりエミッタからの電子の注入が加速され、これにより、ベース走行時間( $\tau_b$ )を短縮した、優れた高周波特性をもつ高速HBTを実現することができる。

【0006】図1に、SiGe系HBTを搭載した、HBTと相補型の絶縁ゲート型FETを有する典型的な半導体装置(以下、BiCMOSと記す)の断面図を示す。この半導体装置の、従来の製造方法について以下に述べる。

## 【0007】第1工程

半導体基体1の素材として、第1導電型(この例ではp型とする)の基板面方位が(100)結晶面であるシリコン基板2を用いる。このシリコン基板2における、高速用HBTすなわちSiGe系HBT形成部Aと、バイポーラトランジスタ形成部Bとに、n型のコレクタ埋め込み領域4および5をそれぞれ形成する。これらn型のコレクタ埋め込み領域4および5は、図示しないが、熱酸化プロセスによりシリコン基板2に酸化シリコンを形成し、NPNトランジスタのコレクタ領域の酸化シリコン膜を開口し、その開口に $\text{Sb}_2\text{O}_3$ による固体ソースを

拡散してN<sup>+</sup>のコレクタ領域を形成することにより形成する。その後、エビタキシャル成長により例えば抵抗率1~5Ωcmで厚さ0.6~2.0μmの第2導電型(この例ではn型とする)の半導体層3を形成する。シリコン基板2に半導体層3が形成されたものを半導体基体1とする。

#### 【0008】第2工程

素子分離酸化シリコン膜6を、LOCOS(Local Oxidation of Silicon: 局所酸化)法により形成する。具体的には、図示しないが、先ず例えば半導体層3の表面を熱酸化して酸化シリコンによるパッド層を形成し、このパッド層の上にCVD法により窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)層を形成することによって耐酸化マスク層を形成し、この耐酸化マスク層に対してフォトリソグラフィによるパターンエッチングを行って、素子分離酸化シリコン膜6を形成する部分を開口し、その後、スチーム酸化を行って、素子分離酸化シリコン膜6を形成する。

#### 【0009】第3工程

第2工程で形成した耐酸化マスク層を除去した後、ホウ素(B)のイオン注入を複数回繰り返して行い、p型の素子分離領域7を、互いに電氣的に分離すべき部分間に形成すると同時に、nチャネル型MOSFET形成部Cにp型の第1のウェル領域8を形成する。

#### 【0010】第4工程

リン(P)のイオン注入を複数回繰り返して行い、pチャネル型MOSFET(pMOS)形成部Dにn型の第2のウェル領域9を形成すると同時に、SiGe系HBT形成部Aおよびバイポーラトランジスタ形成部BのN<sup>+</sup>のコレクタ領域4および5と接続するコレクタ電極取り出し領域10および11を形成する。

#### 【0011】第5工程

nチャネル型MOSFET形成部Cとpチャネル型MOSFET形成部Dとに、それぞれゲート絶縁膜12をそれぞれ10nm形成し、その後ゲート電極13を形成する。これらのゲート絶縁膜12およびゲート電極13の形成に際しては、熱酸化処理を行って、半導体基体1の表面すなわち半導体層3の表面の、厚い素子分離酸化シリコン膜6が形成されていない部分に酸化膜を形成し、この酸化膜上に例えばn型不純物が高濃度にドーピングされた多結晶シリコン層を形成する。その後、レジストマスクを用いたドライエッチングによって、それぞれのMOSFET形成部C、Dに所望のパターンのエッチングを行うことによって、ゲート絶縁膜12とゲート電極13を形成する。

#### 【0012】第6工程

SiGe系HBT形成部Aと、nチャネル型MOSFET形成部Cおよびpチャネル型MOSFET形成部D、それにバイポーラトランジスタ形成部Bのコレクタ電極取り出し領域11をレジストマスクにて覆い、バイポーラ

$$1/(2\pi f_T) = \tau_e + \tau_g + \tau_x + \tau_c$$

\*ラトランジスタ形成部Bにp型のリンクベース領域14をイオン注入により形成する。その後、レジストを除去する。

#### 【0013】第7工程

全面に減圧CVD法にてテトラエトキシシラン(TEOS)を用いて酸化シリコン膜21を形成する。その後、熱処理を行い、酸化シリコン膜21を緻密化する。

#### 【0014】第8工程

図6に示す工程により、レジストマスクにてSiGe系HBTのベース領域を開口する。まず、図6(a)に示すように、ゲート絶縁膜12および酸化シリコン膜21上にレジストマスク34を形成し、図6(b)に示すようにドライエッチングにて、酸化シリコン膜21に所定厚さの膜が残るように異方性エッチングを行う。その後、図6(c)に示すように、ウェットエッチングにてゲート絶縁膜12、酸化シリコン膜21を開口する。その後、図6(d)に示すように、既存技術を用いてレジストマスク34を除去する。

#### 【0015】第9工程

図7に示すようにSiGe系HBT形成部Aにベースの開口38が設けられた状態で、超高真空CVD法や分子線エビタキシー法および減圧CVD法(LPCVD: low pressure chemical vapor deposition)のうちいずれかの方法を用いて、半導体層30を成膜する。この半導体層30は、半導体基体1の露出部にSiGeエビタキシャル混晶層を形成し、ゲート絶縁膜12、酸化シリコン膜21上に、多結晶のSiGe混晶層を形成することにより形成する。このとき、半導体基体1の開口38の部分はエビタキシャル成長し、マスクの役目をするゲート絶縁膜12、酸化シリコン膜21上には多結晶のSiGe混晶層が形成される。ここで、多結晶のSiGe混晶層は、その後ベースの取り出し電極として用いられる。

#### 【0016】

【発明が解決しようとする課題】上述した従来の方法で形成した半導体層30においては、図7においてx1に示すように、エビタキシャルSiGeの混晶層aと多結晶のSiGe混晶層bの境界部分ができる。この領域は結晶性が悪いので、図8に示すように、エミッタ領域25Aが、x1の境界部分に当たるとエミッターベース間のリークが発生し不良が起こる。そこで、エミッタの形成は境界部分x1より離して形成する必要があり、トランジスタのサイズが大きくなってしまいう問題がある。これにより、コレクタ接合容量(以下、C<sub>ic</sub>と記す)が大きくなりトランジスタの高速化の妨げとなってしまう。この理由を以下に述べる。

【0017】HBTの遮断周波数(以下、f<sub>T</sub>と記す)は、以下の式で与えられる。

$$1/(2\pi f_T) = \tau_e + \tau_g + \tau_x + \tau_c$$

$\tau_e$ : エミッタ空乏層充電時間、  
 $\tau_x$ : コレクタ空乏層走行時間、

【0018】コレクタ充電時間( $\tau_c$ )は、コレクタ抵抗(以下、 $r_{sc}$ と記す)とコレクタ接合容量 $C_{jc}$ の積で表される。従って、コレクタ接合容量 $C_{jc}$ が大きくなると遮断周波数 $f_T$ が低下する。

【0019】また、境界部分x1の距離が長いとSiGe系HBTのトランジスタサイズが大きくなるため半導体装置のチップサイズも大きくなり、チップコストが増大する問題も発生する。

【0020】本発明は、SiGe系HBTのベース領域において、ベースの開口端からの多結晶のSiGe混晶層がエピタキシャルSiGe混晶層へせり出す距離を低減し、高速且つ高集積な半導体装置およびその製造方法を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明は、HBTのベース領域に開口部を形成し、エピタキシャル成長によりベース領域となる半導体層を形成する際に前記ベース領域の開口部の絶縁膜上に多結晶層が形成される非選択エピタキシャルベース層を有する半導体装置において、前記HBTのベース領域の開口部側端部の絶縁膜の形状を、少なくとも段数が2段の階段状としたものである。本発明においては、HBTのベース領域の開口部側端部の絶縁膜の形状が階段状であるので、エピタキシャル成長工程時にベースの開口端における多結晶のSiGe混晶層が、エピタキシャルSiGe混晶層へせり出す距離が低減する。これにより、両混晶層の境界部分の距離が短くなり、トランジスタのサイズを小さくすることができる。とともに、コレクタ接合容量も小さくでき、トランジスタを高速化することができる。

【0022】

【発明の実施の形態】以下、図1～図5を用いて、本発明の実施の形態を説明する。図1は典型的なBiCMOSトランジスタの構造を示す断面図、図2は本発明の第1実施形態に係るSiGe系HBTのベース開口形成工程を示す断面図、図3は本発明の第1実施形態に係る図1におけるSiGe系HBT形成部Aの拡大断面図、図4は本発明の第1実施形態に係るSiGe系HBTのベースおよびエミッタ領域を示す断面図、図5は本発明の第2実施形態に係るSiGe系HBTのベース開口形成工程を示す断面図である。なお、図1～図8において、同じ構成要素には同一の番号を付している。

【0023】＜第1の実施形態＞本実施形態に係る半導体装置の製造方法を、図1～図4を用いて述べる。

【0024】図1において、半導体基体1として、シリコン基板2を用い、n型のコレクタ埋め込み領域4および5を形成した後、エピタキシャル成長により半導体層3を形成する第1工程、LOCOS法により素子分離酸化シリコン膜6を形成する第2工程、p型の素子分離領

$\tau_b$ : ベース走行時間

$\tau_c$ : コレクタ充電時間

域7およびp型の第1のウエル領域8を形成する第3工程、n型の第2のウエル領域9およびコレクタ電極取り出し領域10、11を形成する第4工程、ゲート絶縁膜12およびゲート電極13を形成する第5工程、および、p型のリンクベース領域14を形成する第6工程までは、従来の工程と同じであるので説明を省略する。

【0025】第7工程

10 図2に示す工程により、本発明の第1の実施形態であるSiGe系HBTのベース開口38を形成する。まず、図2(a)に示すように、ゲート絶縁膜12の全面に、減圧CVD法によりTEOSを用いて、酸化シリコン膜21を凡そ90nm形成し、その後、800～900℃の熱処理を行い酸化シリコン膜21を緻密化させる。続いて、ゲート絶縁膜12、酸化シリコン膜21上にレジストを塗布して、SiGe系HBTのベース領域を形成する部分を開口したレジストマスク34を形成する。

【0026】その後、図2(b)に示すように、第1のドライエッチングにて、酸化シリコン膜21を凡そ20nm程度の残膜となるように異方性エッチングする。ドライエッチングは、例えば、エッチングガスとしてフロン-318(C<sub>4</sub>F<sub>8</sub>)、一酸化炭素(CO)、アルゴン(Ar)、酸素(O<sub>2</sub>)を用いて、圧力が6Pa(45mTorr)、RF出力が1000Wで行う。

【0027】その後、図2(c)に示すように、第2のドライエッチングにより、レジストマスク34を等方性エッチングにてエッチングする。レジストマスク34をエッチングするには、例えば、エッチングガスとして、ヘリウム(He)、酸素(O<sub>2</sub>)を用いて、圧力が8Pa(60mTorr)、RF出力が350Wで行う。

【0028】続いて、図2(d)、(e)に示すように、ウエットエッチングによりゲート絶縁膜12、酸化シリコン膜21を開口する。ウエットエッチングは、フッ酸(HF)とフッ化アンモニウム(NH<sub>4</sub>F)の混合液を用いて行う。その後、レジストマスク34は、既存技術を用いて除去する。なお、ウエットエッチングの代わりにドライエッチングを用いてもよい。

【0029】第8工程

40 図3に示すように、SiGe系HBT形成部Aにエピタキシャル技術を用いて半導体層30を形成する。この半導体層30は、半導体基体1の露出部にはSiGeエピタキシャル混晶層を形成し、ゲート絶縁膜12、酸化シリコン膜21上には多結晶のSiGe混晶層を形成することにより形成する。このとき、半導体基体1の開口38の部分はエピタキシャル成長し、マスクの役目をなすゲート絶縁膜12、酸化シリコン膜21上には多結晶のSiGe混晶層が形成される。多結晶のSiGe混晶層は、その後ベースの取り出し電極として用いられる。

【0030】ここで、減圧CVD法を用いて半導体層3

0を形成する手順について以下に述べる。まず、半導体基体1の表面に付着している有機物を除去するために、例えば、所定の温度に加熱した硫酸と過酸化水素水との混合液を用いて洗浄する。次に、半導体基板上のパーティクルを除去するために、例えば、所定の温度に加熱したアンモニアと過酸化水素水との混合液を用いて洗浄する。次に、半導体基体上の表面の金属汚染物および自然酸化膜を除去するために、希フッ酸水溶液を用いて洗浄する。なお、この希フッ酸水溶液による洗浄では、水素パッシベーション処理も行われ、半導体基体1の露出した表面が水素でターミネートされる。続いて、洗浄処理が施された半導体基体1を、前記の成膜装置に搬送する。

【0031】半導体基体1は、真空排気機能を有するロードロックに搬入して所定時間真空排気を行う。続いて、ロードロックに接続された反応炉に半導体基体1を大気へ解放せずに搬入する。次に、反応炉に水素ガスを導入しながら、約900℃まで半導体基体1を加熱し、水素ベークを行う。次に水素ガスを導入したままで、約760～650℃の温度まで降温し、成膜のための原料ガスであるモノシラン( $\text{SiH}_4$ )、ゲルマン( $\text{GeH}_4$ )、および不純物ガスとしてジボラン( $\text{B}_2\text{H}_6$ )ガスを供給してエピタキシャル成長を行う。更に、半導体層30は、例えば、シリコンのパッファ層を6～20nm形成した後、ゲルマニウム濃度を0atoms%から15atoms%に傾斜させた層を10～15nm形成し、その後、ゲルマニウム濃度を15atoms%から0atoms%に傾斜させた層を40～50nm形成し、シリコンキャップ層を40～60nm形成する。また、前記シリコン-ゲルマニウム混晶層には、所定のボロン濃度となるよう不純物をドーピングする。

【0032】図4には、本発明の第1の実施形態に関するエミッタ・ベース領域の断面図を示している。同図に示すように、SiGe系HBTのベース開口端のゲート絶縁膜12、酸化シリコン膜21を階段状にすることで多結晶のSiGe混晶層がSiGeエピタキシャル混晶層にせり出す距離、すなわち図4のA点-B点間の距離L5を、図8に示す従来技術の場合のA'点-B'点間の距離L5より短くすることが可能である。これにより、図4のA点-C点間の距離L6を短くすることが可能であり、コレクタ接合容量 $C_{jc}$ の低減が可能であり、更にトランジスタサイズの縮小も可能である。

【0033】続いて、pチャネル型MOSFET形成部Dに、フォトリソストをマスクとして、ゲート電極13の形成部を挟んでその両側に、p型のソースないしはドレイン領域(以下、ソース/ドレイン領域という)15を形成する。このソース/ドレイン領域は、例えば、BF<sub>3</sub>を $1 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ のドーズ量でイオン注入する。次に、前記pチャネル型MOSFETのソース/ドレイン領域15の形成方法と同様の手法にて、

nチャネル型MOSFETのソース/ドレイン領域16をイオン注入技術にて形成する。続いて、バイポーラトランジスタの真性ベースとなる領域をレジストマスクにて開口し、イオン注入によりベース領域23を形成する。このバイポーラトランジスタの真性ベース領域の形成が終わり次第、イオン注入のマスクとして用いたフォトリソストを全面除去する。前記フォトリソストを全面除去後、例えば、800～850℃にて10～30分の熱処理を行い、pチャネル型MOSFETおよびnチャネル型MOSFETのソースないしはドレイン領域およびバイポーラトランジスタの真性ベース領域の不純物を活性化させる。

【0034】その後、減圧CVD法にてTEOSを用いて例えば、厚さ100～150nmの酸化シリコン膜22を全面に形成する。なお、SiGe系HBT以外の部分は、酸化シリコン膜21上に積み重なっている。続いて、第1およびバイポーラトランジスタのエミッタ領域となる部分をフォトリソグラフィと反応性イオンエッチング(RIE)によりパターンエッチングを行い開口し、エッチングマスクとしたフォトリソストを除去する。

【0035】その後、減圧CVD法にて例えば、厚さ100～150nmの多結晶シリコン層24を形成する。次に、n型の不純物の例えば、ヒ素(As)を30～70keVで、 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ のドーズ量にてイオン注入する。次に、多結晶シリコン層をフォトリソグラフィとRIE法によりパターンエッチングを行う。その後、減圧CVD法にてTEOSを用いて例えば、厚さ200～300nmの酸化シリコン膜26を全面に形成する。

【0036】続いて、1000～1100℃、5～30秒間のアニールを行う。このようにして多結晶シリコン層中のヒ素(As)をSiGe系HBTの半導体層30中のエミッタ領域25Aおよびバイポーラトランジスタの真性ベース領域23中のエミッタ領域25Bを形成する。

【0037】その後、SiGe系HBTおよびバイポーラトランジスタのエミッタ電極27、ベース電極28、コレクタ電極29、および、pチャネル型MOSFET、nチャネル型MOSFETのソース電極31、ゲート電極32、ドレイン電極33の各部に金属電極を形成し、半導体装置が形成される。

【0038】＜第2の実施形態＞本発明の第2の実施形態を、図5を用いて説明する。第1工程から第6工程までは第1の実施形態と同じであるので説明は省略し、第7工程について説明する。本実施形態においては、図5に示す工程によりSiGe系HBTであるSiGe系HBTのベース開口部を形成する。

【0039】まず、図5(a)に示すように、ゲート絶縁膜12上に窒化シリコン膜35を凡そ30nm形成

し、窒化シリコン膜35上にレジストを塗布して、SiGe系HBTのベース領域を形成する部分を開口したレジストマスク34を形成する。続いて、図5(b)に示すように、第1のドライエッチングにより、窒化シリコン膜35を異方性エッチングする。ドライエッチングは、例えば、エッチングガスとして塩素(Cl)、酸素(O<sub>2</sub>)を用いて、圧力が4Pa(30mTorr)、RF出力が100~300Wで行う。

【0040】その後、レジストマスク34を除去する。ここで、窒化シリコン膜35は、SiGe系HBT以外の領域において、図示しないが容量素子として兼用することも可能である。

【0041】その後、図5(c)に示すように、窒化シリコン膜35上に全面に減圧CVD法にてTEOSを用いて、酸化シリコン膜36を凡そ60nm形成し、その後、800~900℃の熱処理を行い、酸化シリコン膜36を緻密化させる。続いて、酸化シリコン膜36上にレジストを塗布して、SiGe系HBTのベース領域開\*

\*口部を形成するためのレジストマスク37を形成する。

【0042】その後、図5(d)に示すように、ウエットエッチングにて酸化シリコン膜36、およびゲート絶縁膜12を開口する。上述のウエットエッチングは、フッ酸(HF)とフッ化アンモニウム(NH<sub>4</sub>F)の混合液を用いて行う。なお、等方性エッチングであれば、ドライエッチングでも使用できる。

【0043】続いて、図5(e)に示すように、レジストマスク37は既存技術を用いて除去する。この第7工程に続く第8工程以降は、第1の実施形態と同様であるので説明を省略する。

【0044】表1は、上述した第1および第2の実施形態と従来技術を用いた場合について、SiGe系HBTのベース開口端部の多結晶SiGe混晶層が、SiGeエピタキシャル混晶層にせり出す距離(L5)を比較した実施例を示す。

【0045】

【表1】

	L1	L2	L3	L4	L5
実施例(a)	130nm	100nm	13nm	160nm	46.0nm
実施例(b)	130nm	100nm	35nm	156nm	45.7nm
実施例(c)	130nm	100nm	45nm	143nm	70.4nm
従来例	130nm	100nm	100nm	—	108.0nm

【0046】表1中のL1はSiGeエピタキシャル混晶層膜厚、L2はSiGe系HBTのベース開口部における絶縁膜の最上部の膜厚、L3はSiGe系HBTのベース開口端における1段目の絶縁膜膜厚、L4は前記L3の段差部の距離を示している。

【0047】上記の結果から、本発明の実施形態のようにSiGe系HBTのベース開口端を階段状にすることで、多結晶のSiGe混晶層がSiGeエピタキシャル混晶層にせり出す距離(L5)を約1/2から2/3に低減することが可能になる。

【0048】なお、表1に示したL1、L2、L3、L4は一例であり、所望とされるSiGeエピタキシャル混晶層の膜厚に応じて、前記L1、L2、L3、L4の数値は任意に変更することが可能である。

【0049】更に、本発明の実施形態では、SiGe系HBTのベース開口部における絶縁膜の段差は2段形成しているが、少なくとも2段以上あれば良く、それ以上の段数であってもよい。

【0050】上述した第1および第2の実施形態では、SiGe系HBTのベース領域はSiGe混晶層をエピタキシャル成長させることについて説明したが、ベース領域にSiGeやSiGeC以外の必要な不純物を含むシリコンエピタキシャル層や混晶層を形成する場合にも全く同様に適用可能である。

【0051】

30

【発明の効果】上述したように、本発明によれば、HBTのベース領域の開口部側端部の絶縁膜の形状を、少なくとも段数が2段の階段状としたことにより、ベース領域の開口部側端部からの多結晶のSiGe混晶層がエピタキシャルSiGe混晶層へせり出す距離を縮小することが可能となる。これにより、コレクタ結合容量を低減でき、高速で且つ高集積な半導体装置の製造が実現できる。また、非選択エピタキシャルベース層は、ベース領域の不純物がドーピングされたシリコンまたは、SiGe混晶層、若しくは、SiGeC混晶層のいずれかにより構成することができる。HBTのベース領域の階段状の開口部側端部は、ドライエッチング等の異方性エッチングと、ウエットエッチング等の等方性エッチングの組み合わせにより容易に形成することができる。

40

【図面の簡単な説明】

【図1】 典型的なBiCMOSトランジスタの構造を示す断面図である。

【図2】 本発明の第1実施形態に係る図1におけるSiGe系HBT形成部Aの拡大断面図である。

【図3】 本発明の第1実施形態に係るSiGe系HBTのベース開口部形成工程を示す断面図である。

【図4】 本発明の第1実施形態に係るSiGe系HBTのベースおよびエミッタ領域を示す断面図である。

50

【図5】 本発明の第2実施形態に係るSiGe系HBTのベース開口部形成工程を示す断面図である。



【図6】 従来例におけるSiGe系HBTのベース開口部形成工程を示す断面図である。

【図7】 図1におけるSiGe系HBT形成部Aの従来例の拡大断面図である。

【図8】 従来例におけるSiGe系HBTのベースおよびエミッタ領域を示す断面図である。

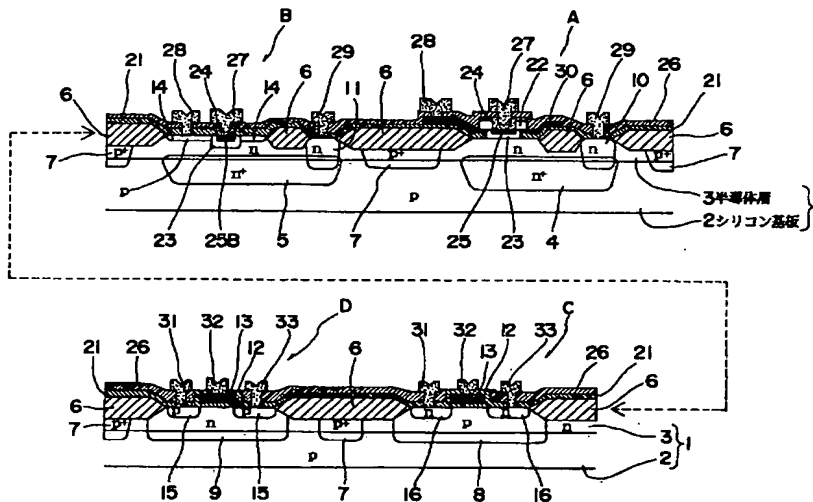
【図9】 従来例のSiGe系HBTの製造過程においてGeのプロファイルに傾斜をつける手法を示す説明図である。

【符号の説明】

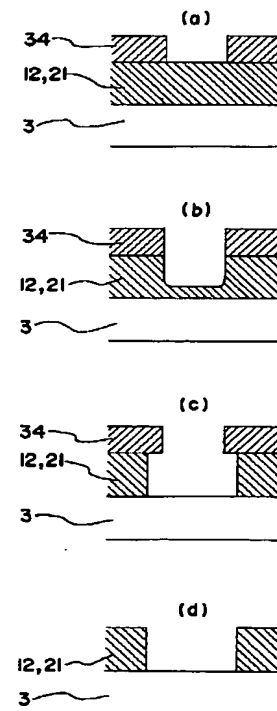
- A SiGe系HBT形成部  
B バイポーラトランジスタ形成部  
C nチャネル型MOSFET形成部  
D pチャネル型MOSFET形成部  
1 半導体基体  
2 シリコン基板  
3 半導体層  
4, 5 n型のコレクタ埋め込み領域  
6 素子分離酸化シリコン膜  
7 p型の素子分離領域  
8 p型の第1のウェル領域  
9 n型の第2のウェル領域  
10, 11 コレクタ電極取り出し領域  
12 ゲート絶縁膜

- \* 13 ゲート電極  
14 p型のリンクベース領域  
15 pチャネル型MOSFETのソース/ドレイン領域  
16 nチャネル型MOSFETのソース/ドレイン領域  
21 酸化シリコン膜  
22 酸化シリコン膜  
23 真性ベース領域  
24 多結晶シリコン層  
25A, 25B エミッタ領域  
26 酸化シリコン膜  
27 エミッタ電極  
28 ベース電極  
29 コレクタ電極  
30 半導体層  
31 ソース電極  
32 ゲート電極  
33 ドレイン電極  
20 34 レジストマスク  
35 窒化シリコン膜  
36 酸化シリコン膜  
37 レジストマスク  
\* 38 ベースの開口

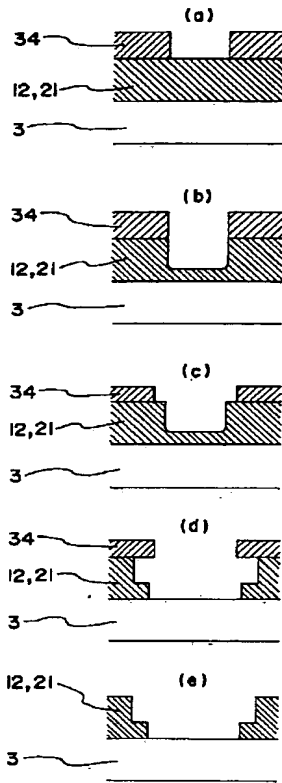
【図1】



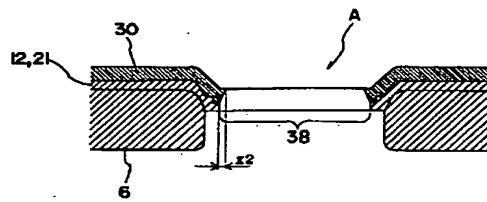
【図6】



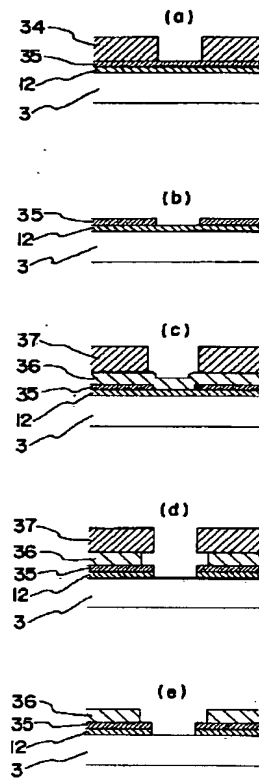
【図2】



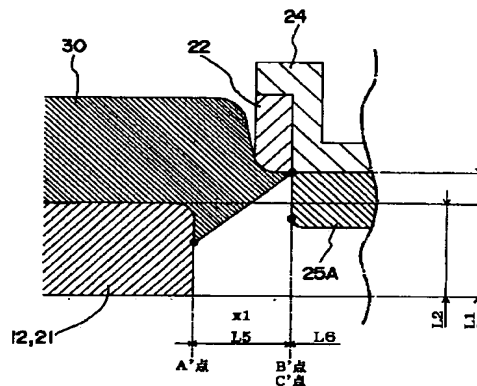
【図3】



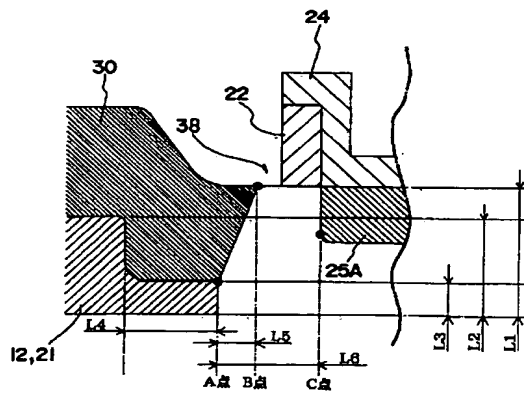
【図5】



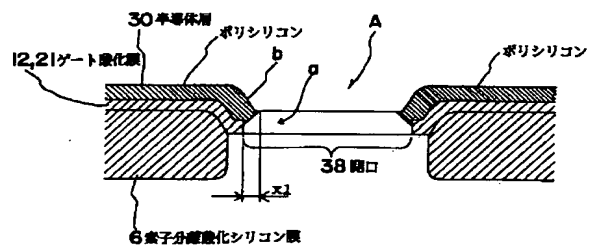
【図8】



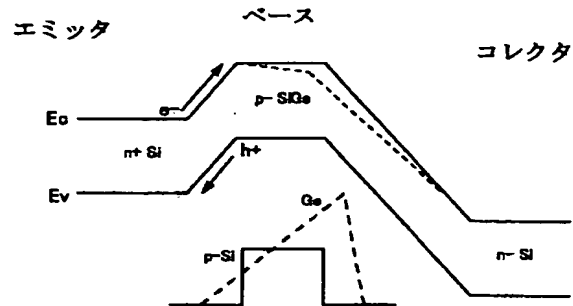
【図4】



【図7】



【図9】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H01L 29/737

識別記号

F I

テマコード (参考)

(72)発明者 牧田 和明  
福岡県福岡市早良区百道浜2丁目3番2号  
ソニーセミコンダクタ九州株式会社内  
(72)発明者 田中 伸史  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(72)発明者 根来 陽一  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

F ターム(参考) 4M104 AA01 BB01 BB40 CC05 DD43  
DD45 FF09 GG06  
5F003 AP04 BA97 BB07 BB08 BE07  
BF06 BG06 BJ15 BM01 BP11  
BP23 BP34 BS06 BS08  
5F048 AA07 AA10 AC05 AC10 BA14  
BB05 BE03 BF05 BF18 BG12  
BG14 CA03 CA07 CA08 CA14  
5F082 AA06 AA11 AA17 BA04 BA26  
BA28 BA31 BA35 BA47 BC03  
BC09 CA01 DA03 DA10 EA13  
EA14 EA15 EA16 EA22